

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Naoto HORIGUCHI

Serial Number: Not Yet Assigned

Filed: March 23, 2004

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Attorney Docket No.: 042261

Customer No.: 38834

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

March 23, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

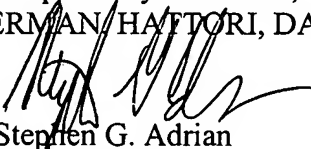
Japanese Appln. No. 2003-367930, filed on October 28, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN/HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/II



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 6 7 9 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 6 7 9 3 0]

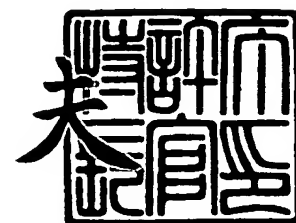
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 1 2 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 0340842
【提出日】 平成15年10月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 堀口 直人
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】 特許請求の範囲**【請求項 1】**

半導体領域上にゲートをパターン形成する工程と、
前記ゲートをマスクとして、前記半導体領域の表層にリンよりも低拡散性の n 型不純物を導入し、第 1 の接合を形成する工程と、
少なくとも前記ゲートをマスクとして、前記半導体領域の表層に n 型不純物を導入し、前記第 1 の接合よりも深く、前記第 1 の接合の前記ゲートの下方に存する部分を残して前記第 1 の接合と重なる第 2 の接合を形成する工程と
を含み、
前記第 1 の接合を形成する工程は、少なくとも、第 1 の加速エネルギー及び第 1 のドーズ量で行う第 1 のイオン注入と、前記第 1 の加速エネルギーよりも高い第 2 の加速エネルギー及び前記第 1 のドーズ量よりも低い第 2 のドーズ量で行う第 2 のイオン注入とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の接合を形成する工程においては、前記低拡散性の n 型不純物として砒素を用いることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の接合を形成する工程は、前記第 1 及び第 2 のイオン注入に加え、第 3 のドーズ量及び第 3 の加速エネルギーで行う第 3 のイオン注入を含むことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記ゲートの両側面にサイドウォールを形成する工程を更に含み、
前記第 2 の接合を形成する工程は、前記ゲート及び前記サイドウォールをマスクとして実行されることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記ゲートをノッチ形状に加工する工程を更に含み、
前記第 1 の接合を形成する工程は、前記ノッチ形状の前記ゲートをマスクとして実行されることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記ゲートをマスクとして、前記半導体領域の表層に p 型不純物を導入する工程を更に含むことを特徴とする請求項 1～5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 のイオン注入を、加速エネルギーが 20 keV 以上 30 keV 以下、ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 以上 $3 \times 10^{13} / \text{cm}^2$ 以下の範囲内の値で行うことを特徴とする請求項 1～6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

ゲート、ソース及びドレインを有する半導体装置であって、
前記ソース及びドレインは、リンよりも低拡散性の n 型不純物が導入されてなり、第 1 の接合と、前記第 1 の接合よりも深く、前記第 1 の接合の前記ゲートの下方に存する部分を残して前記第 1 の接合と重なる第 2 の接合とを含み形成されており、
前記第 1 の接合は、その下部における前記低拡散性の n 型不純物濃度の漸減領域が、前記ゲート端から内側では当該ゲート端に近づくほど幅広となり、前記ゲート端から外側では略一定幅となるように形成されていることを特徴とする半導体装置。

【請求項 9】

前記低拡散性の n 型不純物が砒素であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記ソース及びドレインと少なくとも一部重なるように形成されてなる p 型不純物領域を更に含むことを特徴とする請求項 8 又は 9 に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、ソース／ドレインが浅接合と深接合の2層構造に形成されてなる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年では、携帯電話、PDA (Personal Digital Assistants) などの普及により、半導体チップのスタンバイ電力を低減することが重要視されている。半導体チップのスタンバイ電力を削減する直接的な方法は、トランジスタのオフ電流 (I_{off}) を小さくすることである。具体的には、閾値電圧 (V_{th}) のロールオフ特性及び電流駆動能力を向上させるために設けるポケット領域の形成や V_{th} 制御のためのイオン注入のドーズ量を上げて、高い V_{th} を得ることによって小さい I_{off} を達成している。

【0003】

【特許文献1】特開2003-31798号公報

【特許文献2】特開平6-224381号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、スケーリングの進んだゲート長 (L_g) の短いトランジスタは急峻な接合を有し、高いチャネル不純物濃度を持つため、ポケット領域の形成や V_{th} 制御のためのイオン注入のドーズ量を上げると V_{th} は高くなる一方で、ボディー（基板や半導体領域）ードレイン間のリークが増える。その結果として、 I_{off} の増加を招くという問題がある。

【0005】

この様子を図11、図12を用いて説明する。

図11は、トランジスタの I_{off} を構成する電流成分を説明するための概略断面図である。 I_{off} はゲートードレイン間のリーク (GD間リーク)、ソースードレイン間のリーク (SD間リーク)、ボディーードレイン間のリーク (BD間リーク) の和で表される。図12は、ゲート長80nmのトランジスタにおいて、ポケット領域形成のためのイオン注入のドーズ量を上げてゆくときのトランジスタのゲート電圧ードレイン電流 ($V_g - I_d$) 特性の変化を示す特性図である。

【0006】

ポケット領域の形成時のドーズ量を上げることにより、 V_{th} は深い方向にシフトするが、BD間リークが増大するため、当該ドーズ量がある値以上では I_{off} がBD間リークで決まるようになり、 I_{off} が極小値を持つ。トランジスタの V_{th} を変えずにBD間リークを抑えることができるならば、図13に示すように、より小さい I_{off} の実現が可能となる。

【0007】

従来、n型のMOSトランジスタのBD間リークを低減する手法としてよく使われる手法は、エクステンション領域（又はLDD層）の形成にリン (P^+) を用いることである。ところがこの方法では P^+ の拡散が大きいので、ゲート長の短いトランジスタでは V_{th} が低下し、結果として I_{off} が小さくならない。

【0008】

本発明は、上記の問題に鑑みてなされたものであり、閾値電圧 (V_{th}) への影響を小さく抑えるもボディーードレイン間リークを低減し、スタンバイ電力を低下させて信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の半導体装置の製造方法は、半導体領域上にゲートをパターン形成する工程と、前記ゲートをマスクとして、前記半導体領域の表層にリンよりも低拡散性の n 型不純物を導入し、第 1 の接合を形成する工程と、少なくとも前記ゲートをマスクとして、前記半導体領域の表層に n 型不純物を導入し、前記第 1 の接合よりも深く、前記第 1 の接合の前記ゲートの下方に存する部分を残して前記第 1 の接合と重なる第 2 の接合を形成する工程とを含み、前記第 1 の接合を形成する工程は、少なくとも、第 1 の加速エネルギー及び第 1 のドーズ量で行う第 1 のイオン注入と、前記第 1 の加速エネルギーよりも高い第 2 の加速エネルギー及び前記第 1 のドーズ量よりも低い第 2 のドーズ量で行う第 2 のイオン注入とを含む。

【0010】

本発明の半導体装置は、ゲート、ソース及びドレインを有する半導体装置であって、前記ソース及びドレインは、リンよりも低拡散性の n 型不純物が導入されてなり、第 1 の接合と、前記第 1 の接合よりも深く、前記第 1 の接合の前記ゲートの下方に存する部分を残して前記第 1 の接合と重なる第 2 の接合とを含み形成されており、前記第 1 の接合は、その下部における前記低拡散性の n 型不純物濃度の漸減領域が、前記ゲート端から内側では当該ゲート端に近づくほど幅広となり、前記ゲート端から外側では略一定幅となるように形成されている。

【発明の効果】

【0011】

本発明によれば、閾値電圧 (V_{th}) への影響を小さく抑えるもボディードレイン間リークを低減し、スタンバイ電力を低下させて信頼性の高い半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0012】

—本発明の基本骨子—

初めに、本発明の基本骨子について説明する。

本発明者は、BD 間リークを低減するには、浅接合であるエクステンション領域とチャネルとの間の電界を緩和、即ち、このエクステンション領域—チャネル間の不純物濃度プロファイルを緩やかにすれば良いことに想到した。

【0013】

本発明では、このプロファイルを緩やかにするために、エクステンション領域を形成するに際して、不純物としてリン (P^+) よりも低拡散性の n 型不純物、ここでは砒素 (As^+) を用い、通常の低い加速エネルギーで高いドーズ量 (高濃度) による第 1 のイオン注入に加え、高い加速エネルギーで低いドーズ量による第 2 のイオン注入を行う。以下では便宜上、第 1 のイオン注入を $E_L D_H$ イオン注入、第 2 のイオン注入を $E_H D_L$ イオン注入と記す。

【0014】

この様子を図 1 に示す。ここで、図 1 (a) が通常の 1 回のイオン注入でエクステンション領域を形成する場合、図 1 (b) が本発明による 2 回のイオン注入でエクステンション領域を形成する場合を示しており、両図ともに横軸が半導体領域 (半導体基板) 表面からの深さ、縦軸が As 濃度を表す。図 1 (b) 中の破線で示すように、2 回のイオン注入によりエクステンション領域の不純物濃度プロファイルが全体として緩やかとなり、BD 間リークが低減する。またこの場合、BD 間リークの低減に伴い、更にポケット領域の形成時のドーズ量を上げることが可能になり、より短いゲート長のトランジスタにおける I_{off} の小さい動作が実現する。

【0015】

ゲート電極をマスクとして As^+ のイオン注入により形成されるエクステンション領域の様子を図 2 に示す。ここで、図 2 (a) が通常の 1 回のイオン注入でエクステンション領域を形成した場合、図 2 (b) が本発明による 2 回のイオン注入でエクステンション領域を形成した場合を示す。

図2 (a) では、図1 (a) の不純物濃度プロファイルを反映して、下部に幅Wが比較的狭く均一なA_sの漸減領域（基板表面から深くなるほど徐々にA_s濃度が低くなる領域）102を有するエクステンション領域101が形成されている。これに対して、図2 (b) では、図1 (b) の不純物濃度プロファイルを反映して、下部にゲート電極3の端部（ゲート端）から内側では当該ゲート端に近づくほど幅Wが広くなり、ゲート端から内側ではWが略一定となるA_sの漸減領域2を有するエクステンション領域1が形成されている。即ち、図2 (b) の破線で示すように、ゲート電極端より内側では図2 (b) の空乏層幅はゲート電極の中心に近づくにつれて図2 (a) の空乏層幅に近づく。他方、ゲート電極端より外側ではほぼ均一な空乏層幅となり、この空乏層幅は図2 (a) よりも広く、緩やかな濃度プロファイルとなる。

【0016】

ドーパントとして低拡散性のn型不純物を用いることの利点は、所望の部位に緩やかな不純物濃度プロファイルを容易に形成することができ、ロールオフ特性への影響が小さく、V_{th}に影響を与えずにBD間リークを低減できることにある。ここでは、低拡散性のn型不純物としてA_s⁺を例に挙げたが、これに限らず、P⁺よりも拡散性の小さいn型不純物であれば良い。

【0017】

図3は、本発明による2回のA_s⁺のイオン注入によりエクステンション領域を形成した場合のV_g-I_d特性を、従来による1回のA_s⁺のイオン注入の場合との比較に基づいて示す特性図である。このように、2回のイオン注入を実行することにより、BD間リークが抑制されていることが判る。

【0018】

以上説明した本発明による2回のイオン注入の優位性を踏まえ、当該イオン注入の具体的な適正注入条件を調べた結果を以下に示す。

【0019】

図4は、本発明による2回のA_s⁺のイオン注入のうち、E_{HDL}イオン注入の条件を変えた場合のI_{on}-I_{off}特性（図4 (a)）及びロールオフ特性（図4 (b)）を示す特性図である。ここでは、E_{HDL}イオン注入において加速エネルギーを一定値（20 keV）とし、ドーズ量を増加させた。

このように、接合リークとロールオフ特性とはトレードオフの関係にあり、即ちドーズ量の増加により接合リークは減少する一方で、ロールオフ特性は劣化してV_{th}の低下を引き起こし、結果としてI_{off}が増大してしまうことが判る。

【0020】

上記の考察結果を踏まえ、本発明による2回のA_s⁺のイオン注入のうち、E_{HDL}イオン注入の条件（ドーズ量）とI_{off}との関係を図5に示す。

この結果から、接合リーク及びI_{off}の双方を抑えることができるE_{HDL}イオン注入の適正範囲は、ドーパントをA_s⁺とした場合で、加速エネルギーが20 keV以上30 keV以下、ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 以上 $3 \times 10^{13} / \text{cm}^2$ 以下である。

【0021】

なお、ここでは2回のイオン注入によりエクステンション領域を形成する場合を例示したが、例えば3回以上のイオン注入を実行しても良い。例えば3回の場合、通常のE_LD_Hイオン注入に加え、E_{HDL}イオン注入と、加速エネルギー及びドーズ量をE_LD_Hイオン注入とE_{HDL}イオン注入の中間値とする第3のイオン注入（E_MD_Mイオン注入）を行う。これにより、更になだらかに漸減する不純物濃度プロファイルのエクステンション領域が実現する。

【0022】

ー本発明の具体的な諸実施形態ー

以下、本実施形態のMOSトランジスタの概略構成をその製造方法と共に説明する。

【0023】

（第1の実施形態）

図6及び図7は、第1の実施形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

先ず、図6(a)に示すように、シリコン半導体基板11の素子分離領域に素子分離構造、ここでは素子分離領域に溝を形成し、絶縁材料で埋め込むSTI(Shallow Trench Isolation)法による素子分離構造12を形成し、活性領域13を画定する。その後、活性領域13にp型不純物、ここではホウ素(B^+)をイオン注入し、pウェル14を形成し、更に閾値電圧(V_{th})を制御するため、pウェル14の表層にホウ素(B^+)をイオン注入する。

【0024】

続いて、図6(b)に示すように、pウェル14の表面に酸化法によりゲート絶縁膜15を形成した後、CVD法により多結晶シリコン膜を堆積し、この多結晶シリコン膜(及びゲート絶縁膜15)をフォトリソグラフィ及びそれに続くドライエッチングにより加工して、ゲート電極16をパターン形成する。

【0025】

続いて、図6(c)に示すように、2回のイオン注入により浅接合であるエクステンション領域17を形成する。具体的には、ゲート電極15をマスクとして、ゲート電極15の両側における半導体基板11の表層にリン(P^+)よりも低拡散性のn型不純物、ここでは砒素(As^+)を、先ず高加速エネルギー、低ドーズ量でイオン注入する(E_{HDL} イオン注入)。更に As^+ を E_{LDH} イオン注入よりも低加速エネルギー、高ドーズ量でイオン注入し(E_{LDH} イオン注入)、エクステンション領域17を形成する。ここで、 E_{HDL} イオン注入を加速エネルギー20keV以上30keV以下、ドーズ量 $1 \times 10^{13}/cm^2$ 以上 $1 \times 10^{13}/cm^2$ 以下で傾斜角(各図中においてtで示す)0°(基板面に垂直な方向)の注入条件で、 E_{LDH} イオン注入を加速エネルギー0.5keV以上5keV以下、ドーズ量 $0.5 \times 10^{15}/cm^2$ 以上 $2.5 \times 10^{15}/cm^2$ 以下で傾斜角0°の注入条件でそれぞれ実行する。

【0026】

続いて、同様にゲート電極15をマスクとして、p型不純物、ここではホウ素(B^+)を加速エネルギー5keV以上10keV以下、ドーズ量 $6 \times 10^{12}/cm^2$ 以上 $15 \times 10^{12}/cm^2$ 以下、傾斜角28°で4方向からイオン注入し、ポケット領域18を形成する。その後、所定温度でアニール処理を実行してエクステンション領域17の As を活性化する。

【0027】

続いて、図7(a)に示すように、CVD法により半導体基板11の全面にシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)してゲート電極16(及びゲート絶縁膜15)の両側面のみシリコン酸化膜を堆積し、サイドウォール19を形成する。

【0028】

続いて、図7(b)に示すように、ゲート電極16及びサイドウォール19をマスクとして、半導体基板11の表層にn型不純物、ここではリン(P^+)をイオン注入し、エクステンション領域17のゲート電極16の下方に存する部分を残してエクステンション領域17と重なる深接合であるソース/ドレイン20を形成する。その後、所定温度でアニール処理を実行してソース/ドレイン20の As を活性化する。

【0029】

続いて、いわゆるサリサイドプロセスによりシリサイド層、ここでは $CoSi$ 層21をゲート電極、ソース/ドレイン20の各表面に形成し、未反応の Co を除去する。しかる後、全面を覆う層間絶縁膜の形成、各種配線プロセス等を経て、MOSトランジスタを完成させる。

【0030】

本実施形態によれば、閾値電圧(V_{th})への影響を小さく抑えるもボディードレイン間リークを低減し、スタンバイ電力を低下させて信頼性の高いMOSトランジスタを実現す

ることが可能となる。

【0031】

(変形例)

ここで、本実施形態の変形例について説明する。ここでは、エクステンション領域を3回のイオン注入により形成する。

【0032】

先ず、図6(a)の工程を経た後、図8に示すように、3回のイオン注入により浅接合であるエクステンション領域31を形成する。具体的には、ゲート電極15をマスクとして、ゲート電極15の両側における半導体基板11の表層にリン(P⁺)よりも低拡散性のn型不純物、ここでは砒素(As⁺)を、先ず高加速エネルギー、低ドーズ量でイオン注入する(E_{HDL}イオン注入)。E_{HDL}イオン注入よりも低加速エネルギー及び高ドーズ量でイオン注入し(E_{MDM}イオン注入)、続いてAs⁺をE_{MDM}よりも低加速エネルギー及び高ドーズ量でイオン注入して(E_{LDH}イオン注入)、エクステンション領域31を形成する。ここで、E_{HDL}イオン注入を加速エネルギー20keV以上30keV以下、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 以上 $3 \times 10^{13} / \text{cm}^2$ 以下で傾斜角0°の注入条件で、E_{MDM}イオン注入を加速エネルギー7keV以上10keV以下、ドーズ量 $0.5 \times 10^{13} / \text{cm}^2$ 以上 $1 \times 10^{13} / \text{cm}^2$ 以下で傾斜角7°により4方向(4回)の注入条件で、E_{LDH}イオン注入を加速エネルギー0.5keV以上5keV以下、ドーズ量 $0.5 \times 10^{15} / \text{cm}^2$ 以上 $2.5 \times 10^{15} / \text{cm}^2$ 以下で傾斜角0°の注入条件でそれぞれ実行する。これにより、更になだらかに漸減する不純物濃度プロファイルのエクステンション領域31が形成される。

【0033】

そして、第1の実施形態と同様に、ポケット領域18を形成し、所定温度でアニール処理を実行してエクステンション領域31のAsを活性化した後、図6(c)、図7(a)、(b)の各工程を経て、MOSトランジスタを完成させる。

【0034】

(第2の実施形態)

本実施形態では、第1の実施形態と同様にMOSトランジスタを製造する一例を開示するが、ゲート電極をいわゆるノッチ形状とする点で相違する。

【0035】

図9及び図10は、第2の実施形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

先ず、図9(a)に示すように、シリコン半導体基板11の素子分離領域に素子分離構造、ここでは素子分離領域に溝を形成し、絶縁材料で埋め込むSTI(Shallow Trench Isolation)法による素子分離構造12を形成し、活性領域13を画定する。その後、活性領域13にp型不純物、ここではホウ素(B⁺)をイオン注入し、pウェル14を形成し、更に閾値電圧(V_{th})を制御するため、pウェル14の表層にホウ素(B⁺)をイオン注入する。

【0036】

続いて、図9(b)に示すように、pウェル14の表面に酸化法によりゲート絶縁膜15を形成した後、CVD法により多結晶シリコン膜を堆積し、この多結晶シリコン膜(及びゲート絶縁膜15)をフォトリソグラフィ及びそれに続くドライエッチングにより加工して、ゲート電極16をパターン形成する。

【0037】

続いて、ゲート電極16を覆うように、CVD法により全面に薄いシリコン酸化膜22及び薄いシリコン窒化膜23を堆積し、エッチバックによりゲート電極16の両側面のみシリコン酸化膜22及びシリコン窒化膜23を形成する。そして、ウェットエッチングによりゲート電極16下部のシリコン酸化膜22及びシリコン窒化膜23を除去して薄いサイドウォール24を形成し、このサイドウォール24によりゲート電極16をノッチ形状とする。

【0038】

続いて、図9(c)に示すように、2回のイオン注入により浅接合であるエクステンション領域17を形成する。具体的には、ゲート電極15及びサイドウォール24をマスクとして、半導体基板11の表層にリン(P⁺)よりも低拡散性のn型不純物、ここでは砒素(As⁺)を、先ず高加速エネルギー、低ドーズ量でイオン注入する(E_{HDL}イオン注入)。更にAs⁺をE_{HDL}イオン注入よりも低加速エネルギー、高ドーズ量でイオン注入し(E_{LDH}イオン注入)、エクステンション領域17を形成する。ここで、E_{HDL}イオン注入を加速エネルギー20keV以上30keV以下、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 以上 $3 \times 10^{13} / \text{cm}^2$ 以下で傾斜角0°(前記垂直方向)の注入条件で、E_{LDH}イオン注入を加速エネルギー0.5keV以上5keV以下、ドーズ量 $0.5 \times 10^{15} / \text{cm}^2$ 以上 $2.5 \times 10^{15} / \text{cm}^2$ 以下で傾斜角0°の注入条件でそれぞれ実行する。

【0039】

続いて、同様にゲート電極15及びサイドウォール24をマスクとして、p型不純物、ここではホウ素(B⁺)を加速エネルギー7keV以上10keV以下、ドーズ量 $6 \times 10^{12} / \text{cm}^2$ 以上 $15 \times 10^{12} / \text{cm}^2$ 以下、傾斜角28°で4方向からイオン注入し、ポケット領域18を形成する。その後、所定温度でアニール処理を実行してエクステンション領域17のAsを活性化する。

【0040】

続いて、図10(a)に示すように、CVD法により半導体基板11の全面にシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)してゲート電極16(及びゲート絶縁膜15)の両側面のみにサイドウォール24を介してシリコン酸化膜を堆積し、サイドウォール19を形成する。

【0041】

続いて、図10(b)に示すように、ゲート電極16及びサイドウォール19をマスクとして、半導体基板11の表層にn型不純物、ここではリン(P⁺)をイオン注入し、エクステンション領域17のゲート電極16の下方に存する部分を残してエクステンション領域17と重なる深接合であるソース/ドレイン20を形成する。その後、所定温度でアニール処理を実行してソース/ドレイン20のAsを活性化する。

【0042】

続いて、いわゆるサリサイドプロセスによりシリサイド層、ここではCoSi層21をゲート電極、ソース/ドレイン20の各表面に形成し、未反応のCoを除去する。しかる後、全面を覆う層間絶縁膜の形成、各種配線プロセス等を経て、MOSトランジスタを完成させる。

【0043】

本実施形態によれば、閾値電圧(V_{th})への影響を小さく抑えるもボディードレイン間リークを低減し、スタンバイ電力を低下させて信頼性の高いMOSトランジスタを実現することが可能となる。

【図面の簡単な説明】

【0044】

【図1】本発明により形成されるエクステンション領域の不純物濃度プロファイルを従来例との比較に基づいて示す特性図である。

【図2】ゲート電極をマスクとしてAs⁺のイオン注入により形成されるエクステンション領域の様子を示す概略断面図である。

【図3】本発明による2回のAs⁺のイオン注入によりエクステンション領域を形成した場合のV_g-I_d特性を、従来による1回のAs⁺のイオン注入の場合との比較に基づいて示す特性図である。

【図4】本発明による2回のAs⁺のイオン注入のうち、E_{HDL}イオン注入の条件を変えた場合のI_{on}-I_{off}特性及びロールオフ特性を示す特性図である。

【図5】本発明による2回のAs⁺のイオン注入のうち、E_{HDL}イオン注入の条件(ドーズ量)とI_{off}との関係を示す特性図である。

【図 6】第 1 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 7】図 6 に続き、第 1 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 8】第 1 の実施形態による MOS トランジスタの製造方法の変形例の主要工程のみを示す概略断面図である。

【図 9】第 2 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 0】図 9 に続き、第 2 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 1】トランジスタの I_{off} を構成する電流成分を説明するための概略断面図である。

【図 1 2】ポケット領域形成のためのイオン注入のドーズ量を上げてゆくときのトランジスタの $V_g - I_d$ 特性の変化を示す特性図である。

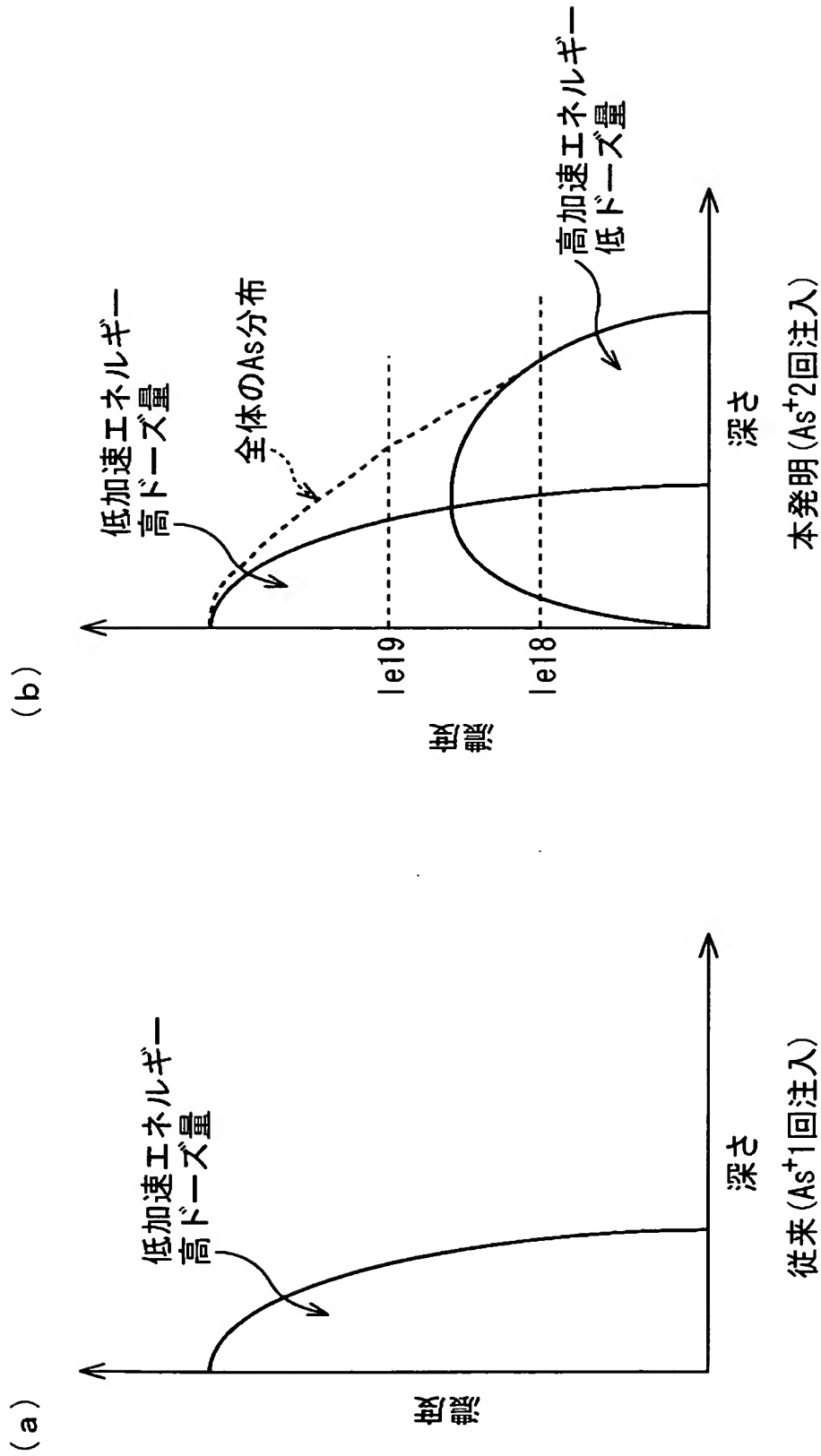
【図 1 3】チャネル（ポケット領域の）ドーズ量とトランジスタの I_{off} の関係を示す特性図である。

【符号の説明】

【0 0 4 5】

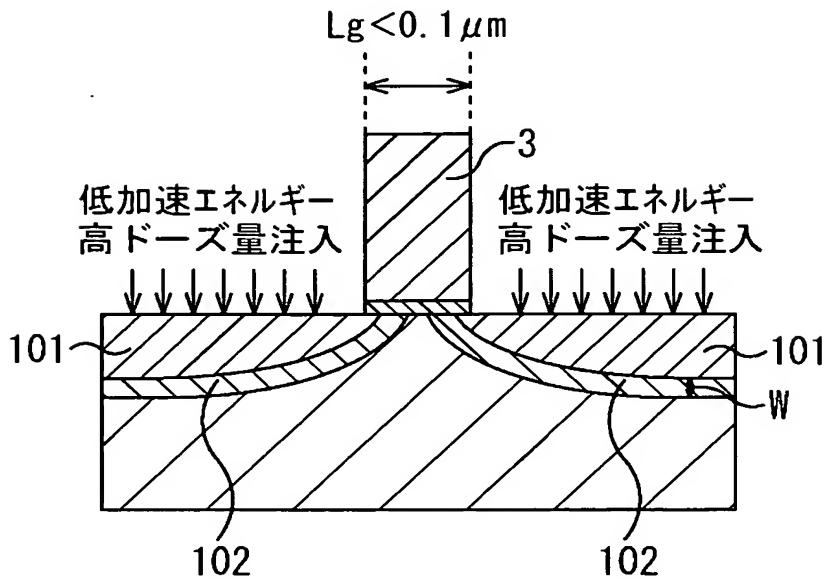
- 1, 1 7, 3 1 エクステンション領域
- 2 A s の漸減領域
- 3, 1 6 ゲート電極
- 1 1 シリコン半導体基板
- 1 2 素子分離構造
- 1 3 活性領域
- 1 4 p ウェル
- 1 5 ゲート絶縁膜
- 1 8 ポケット領域
- 1 9, 2 4 サイドウォール
- 2 0 ソース／ドレイン
- 2 1 C o S i 層
- 2 3 シリコン酸化膜
- 2 4 シリコン窒化膜

【書類名】 図面
【図 1】

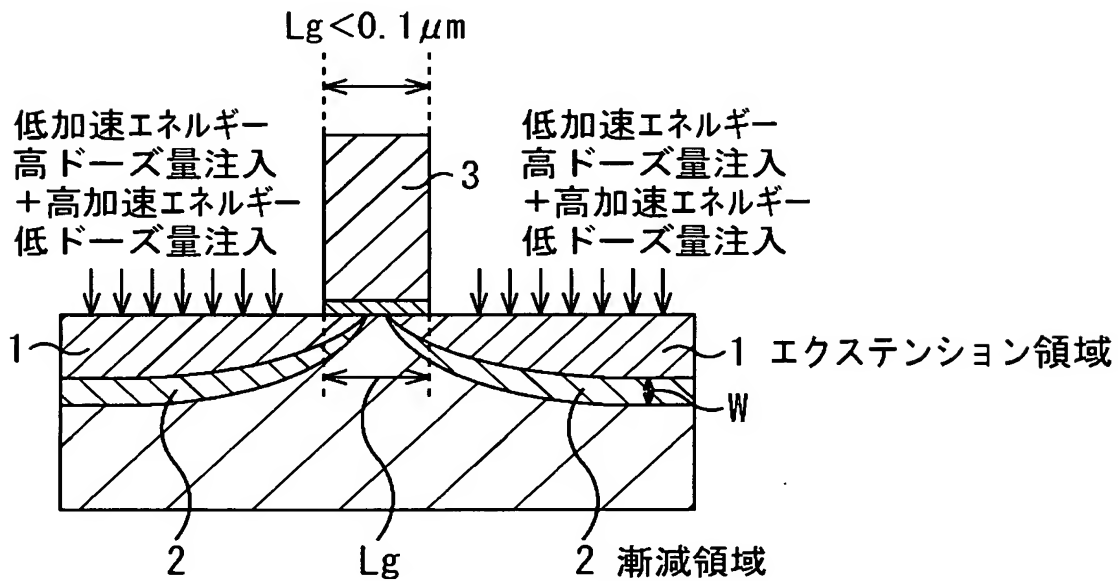


As^{+2} 二重注入によるBD間リーク低減

【図 2】



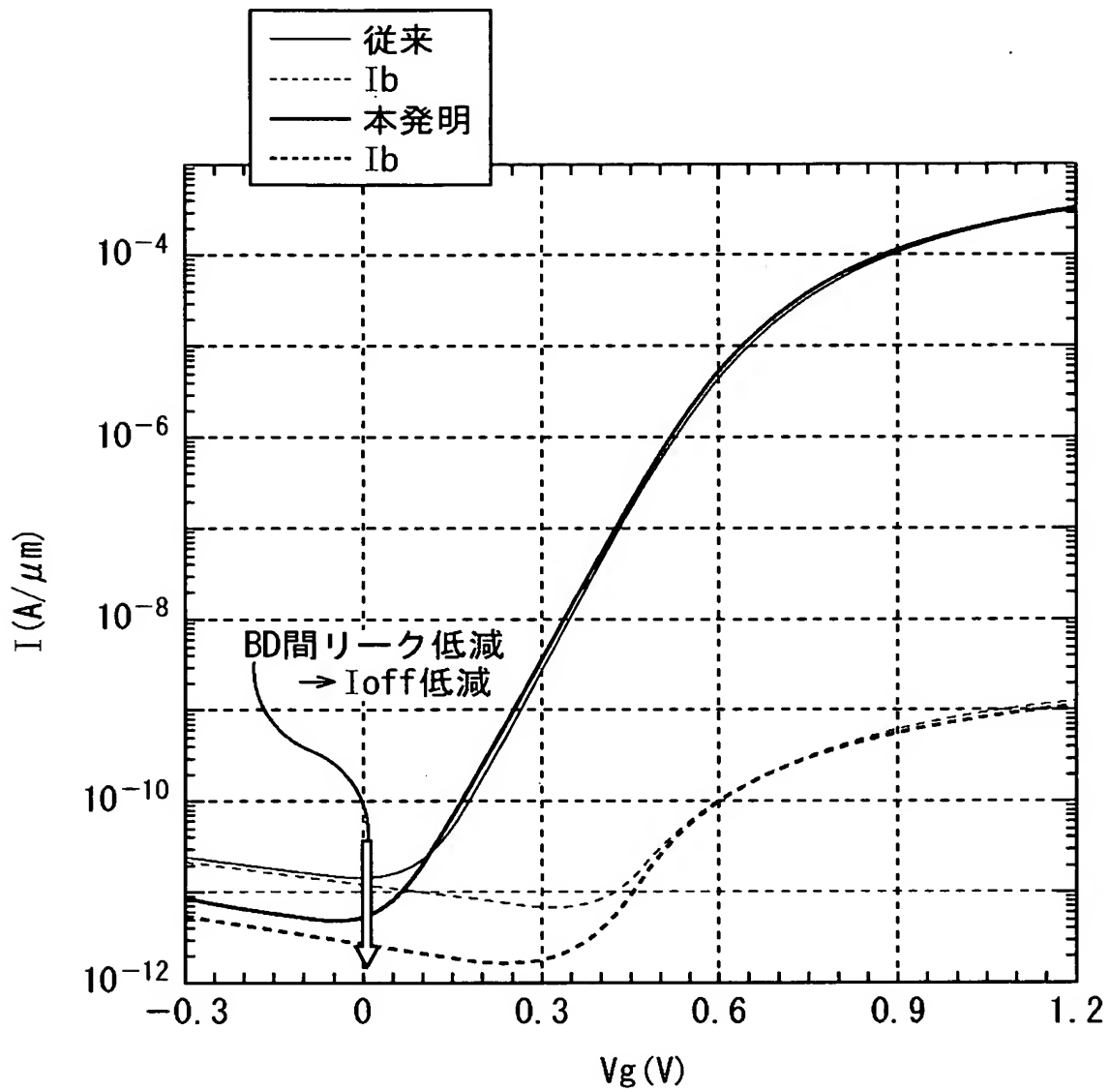
(a) 従来



(b) 本発明

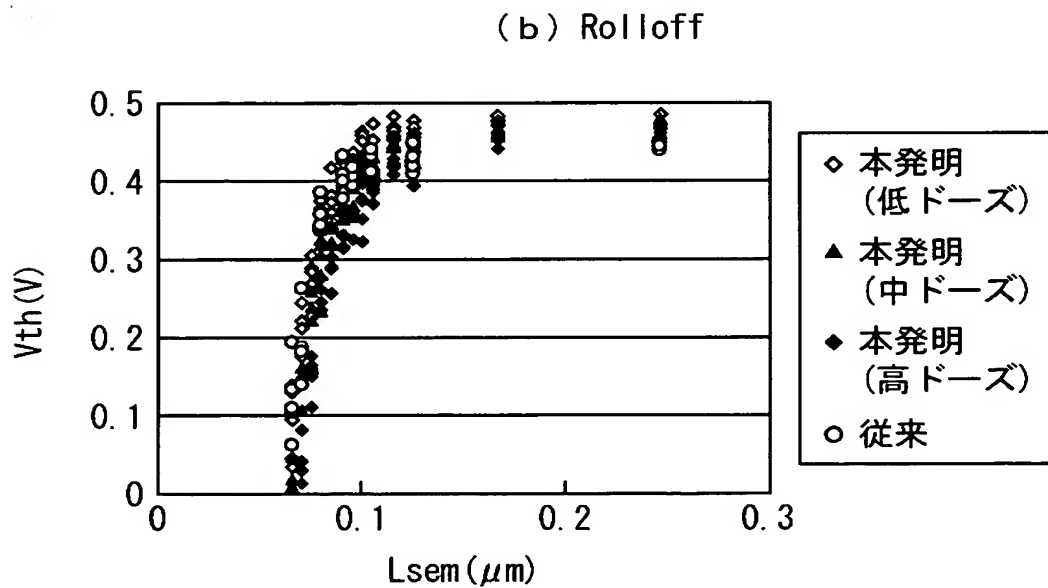
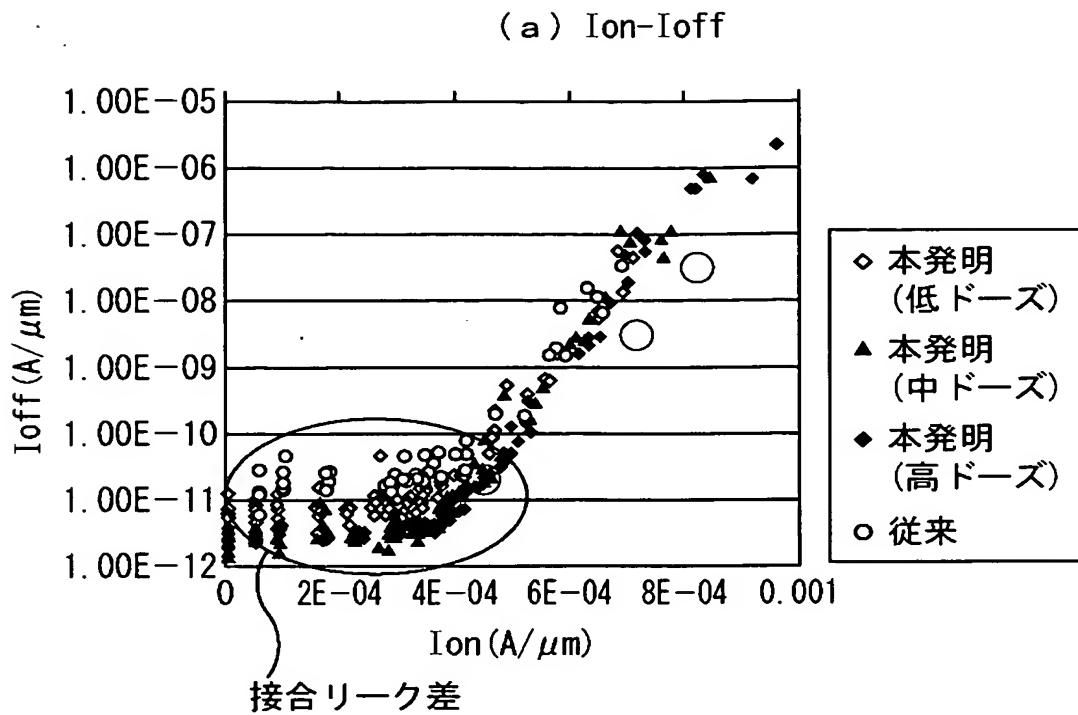
従来技術と本発明

【図 3】



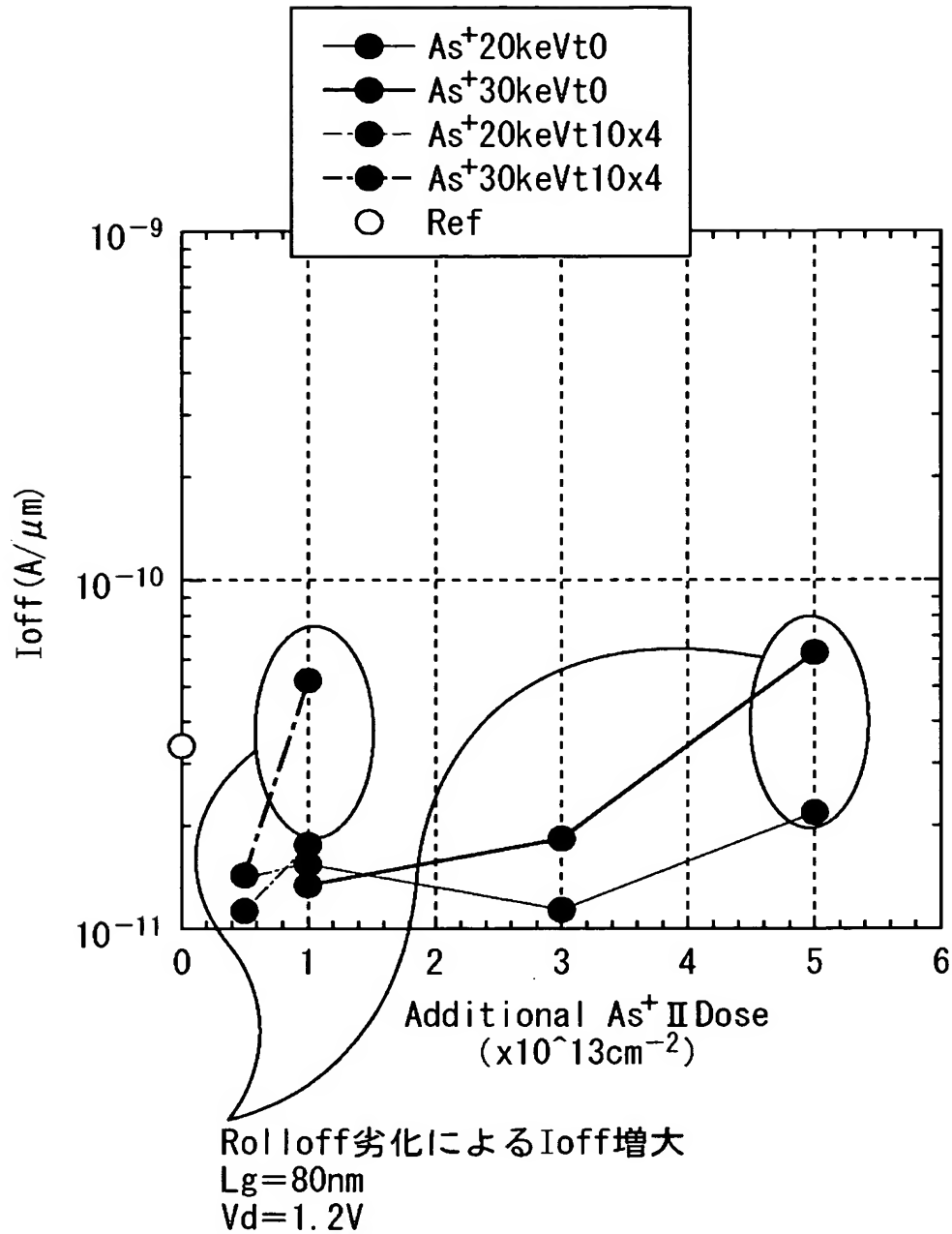
As^+ 二重注入の効果

【図 4】



As^+ 二重注入ドーズ依存性

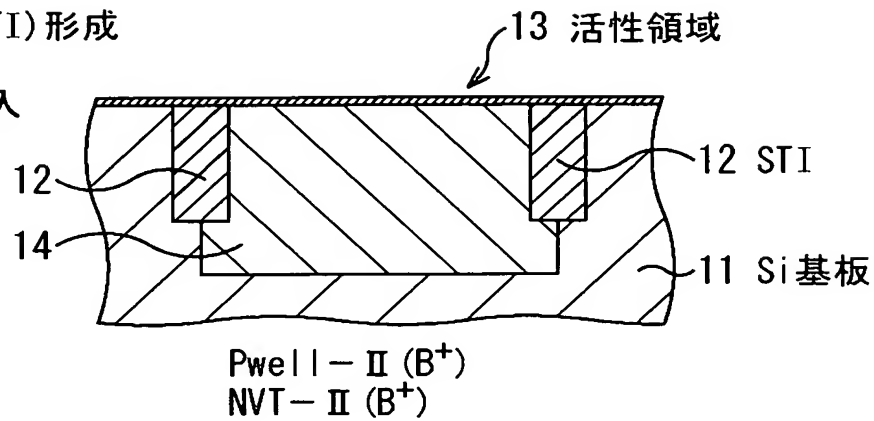
【図 5】

二重注入ドーズと I_{off} の関係

【図6】

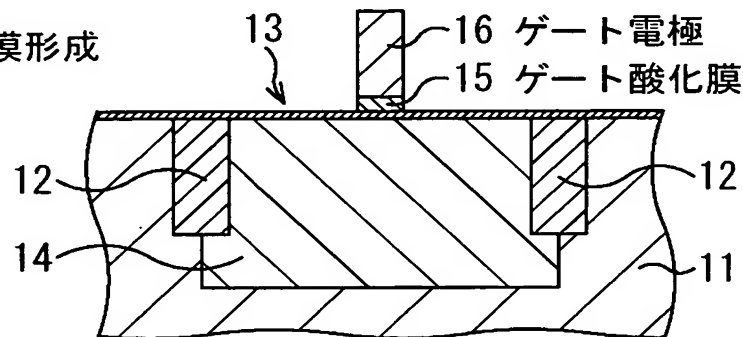
素子分離(STI)形成
ウェル注入
チャネル注入

(a)



ゲート酸化膜形成
ゲート形成

(b)

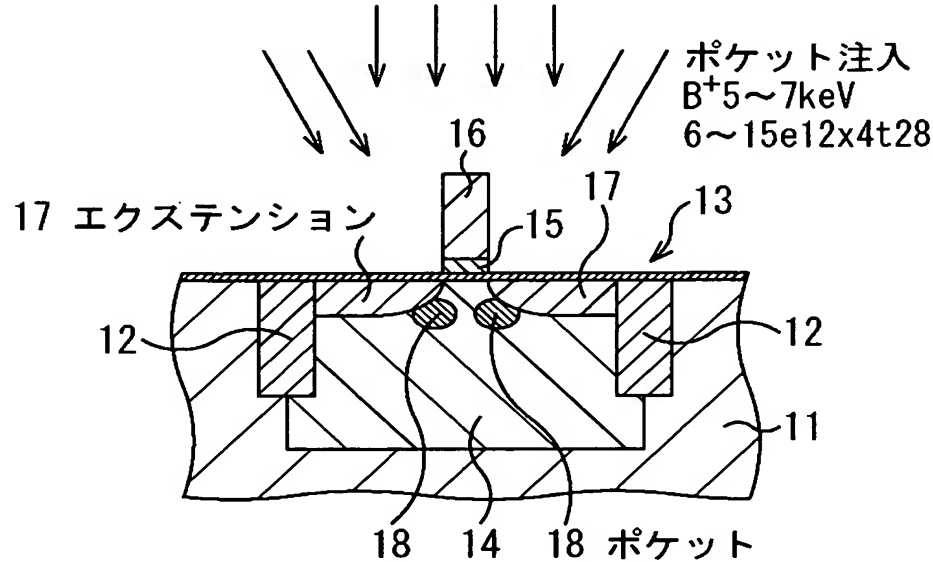


NMOS ポケット注入
エクステンション注入
LDD-AN

エクステンション注入
 As^+ 20~30keV1~3e13t0
+ As^+ 0.5~5keV0.5~2.5e15t0
(As^+ 二重注入)

ポケット注入
 B^+ 5~7keV
6~15e12x4t28

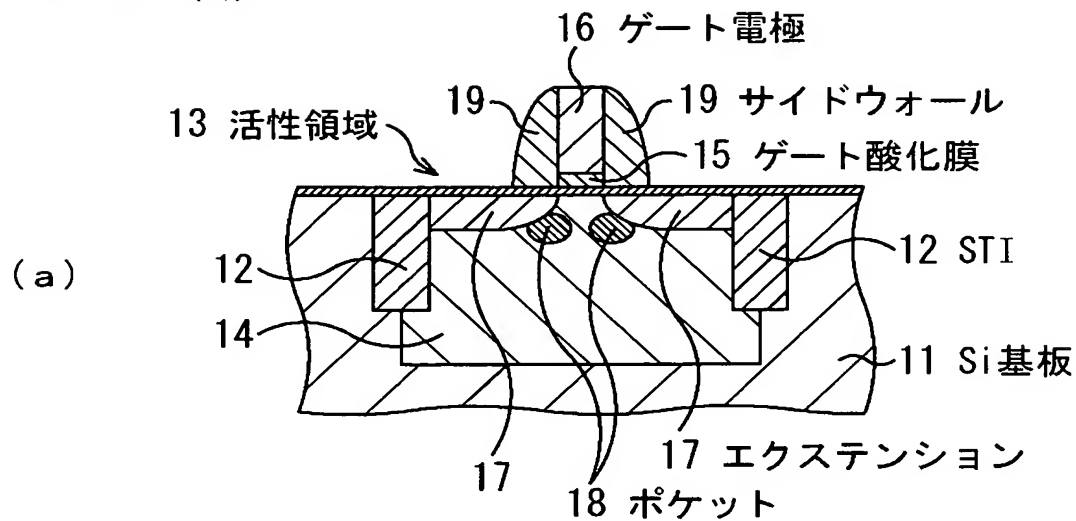
(c)



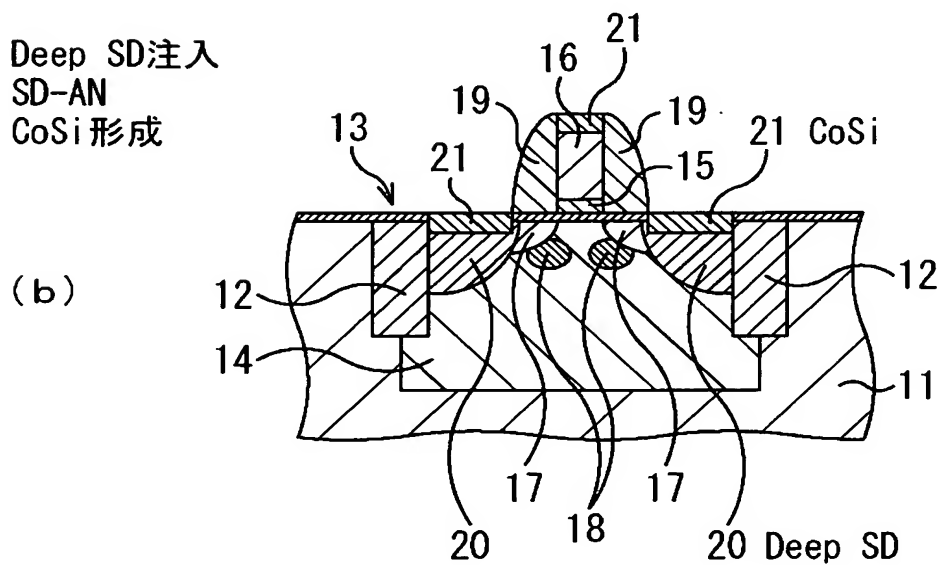
第1の実施形態

【図 7】

Side-Wall 形成



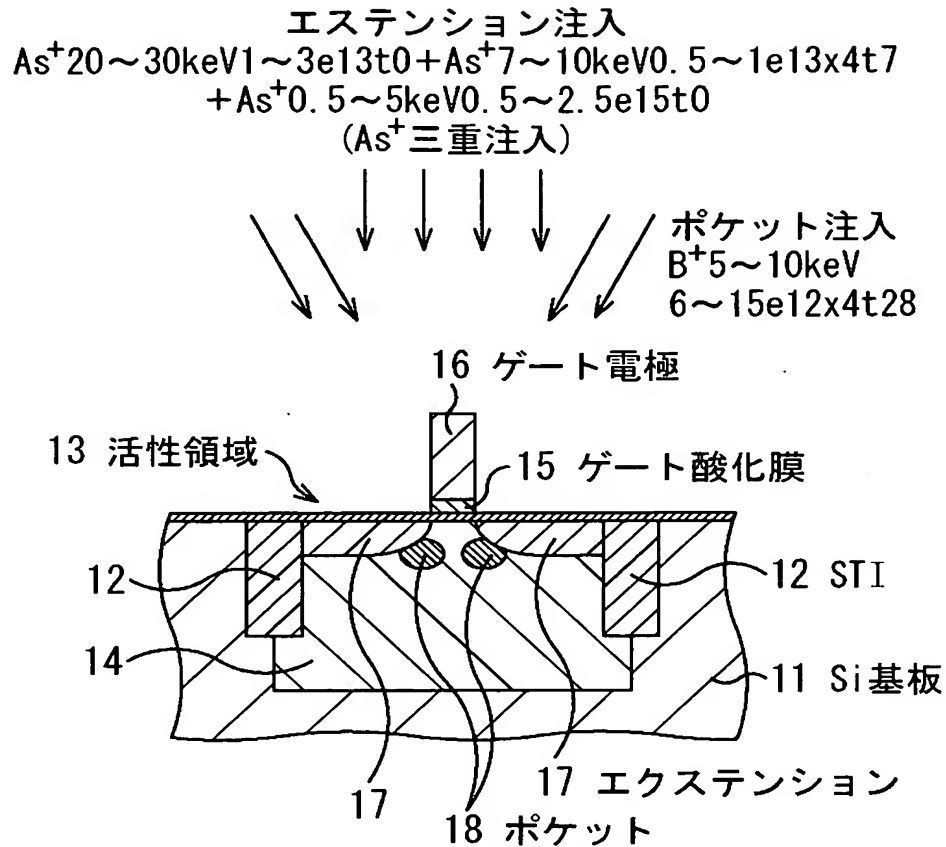
Deep SD注入
SD-AN
CoSi 形成



第1の実施形態

【図 8】

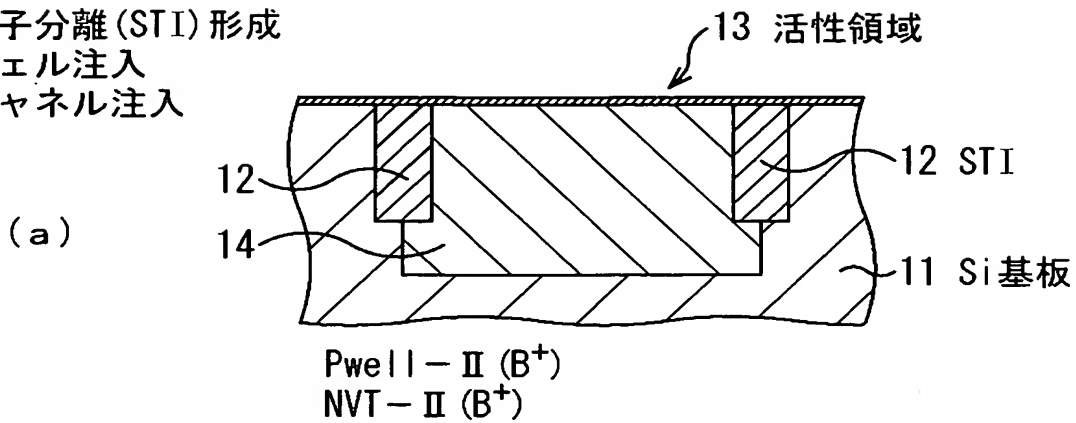
NMOSポケット注入
エクステンション注入
LDD-AN



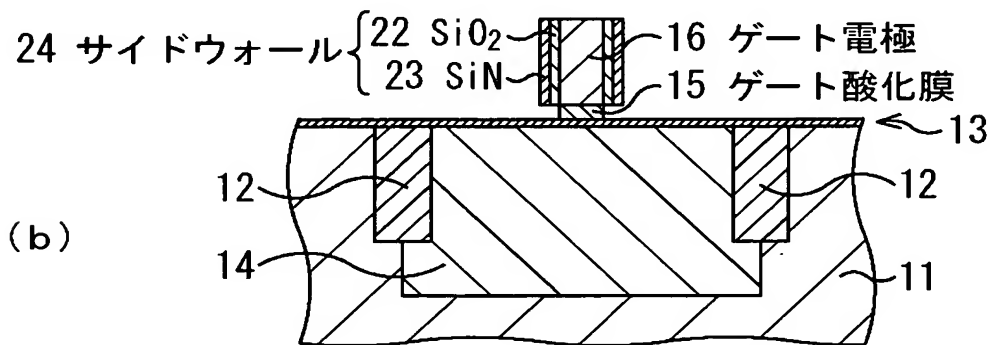
第1の実施形態の変形例

【図9】

素子分離 (STI) 形成
ウェル注入
チャンネル注入

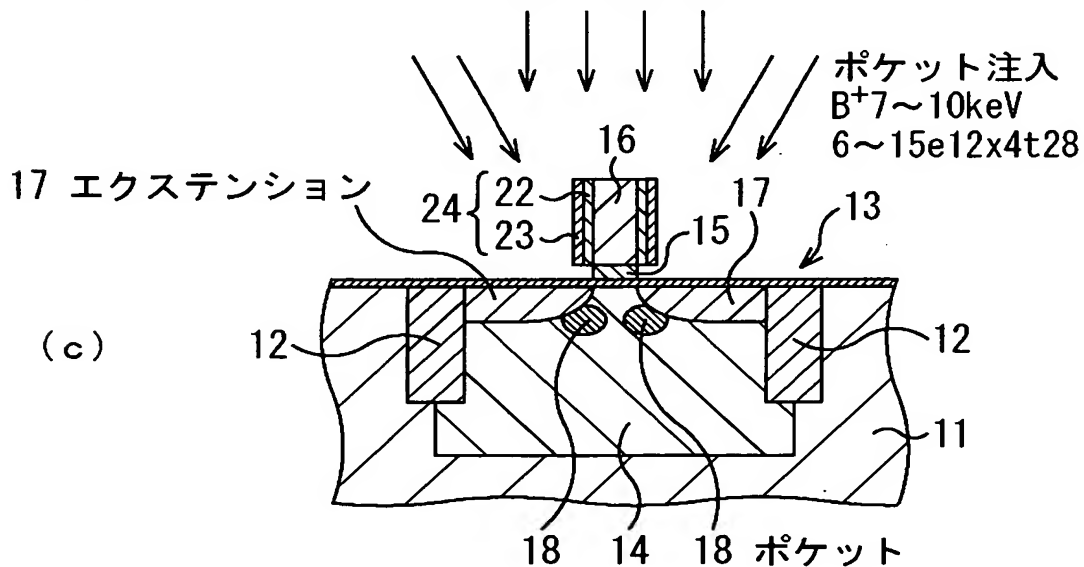


ゲート酸化膜形成
ゲート形成、Notch形成



NMOSポケット注入
エクステンション注入
LDD-AN

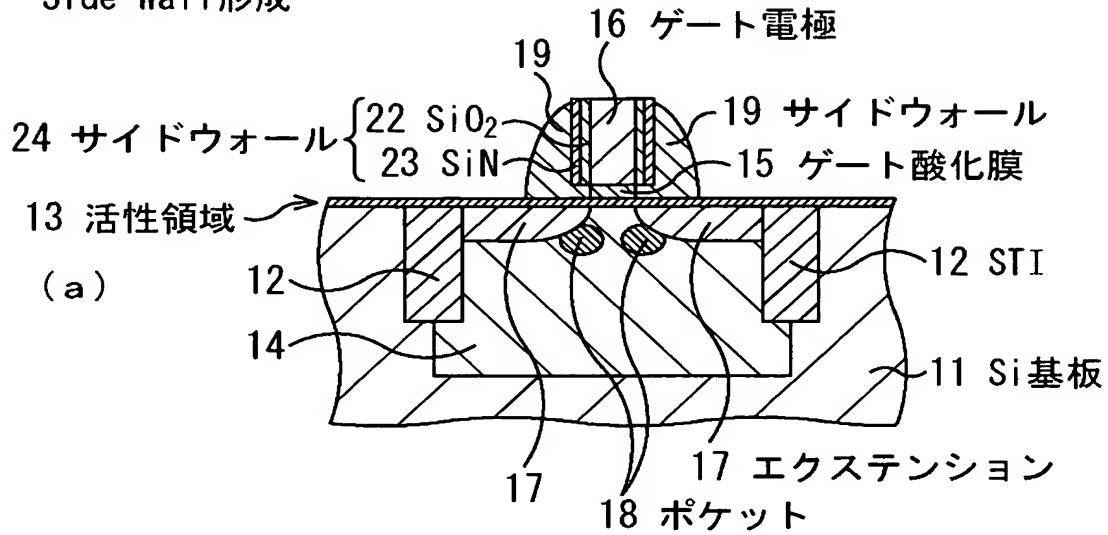
エクステンション注入
 As^+ 20~30keV $1 \sim 3e13t0$
 $+As^+$ 0.5~5keV $0.5 \sim 2.5e15t0$
(As^+ 二重注入)



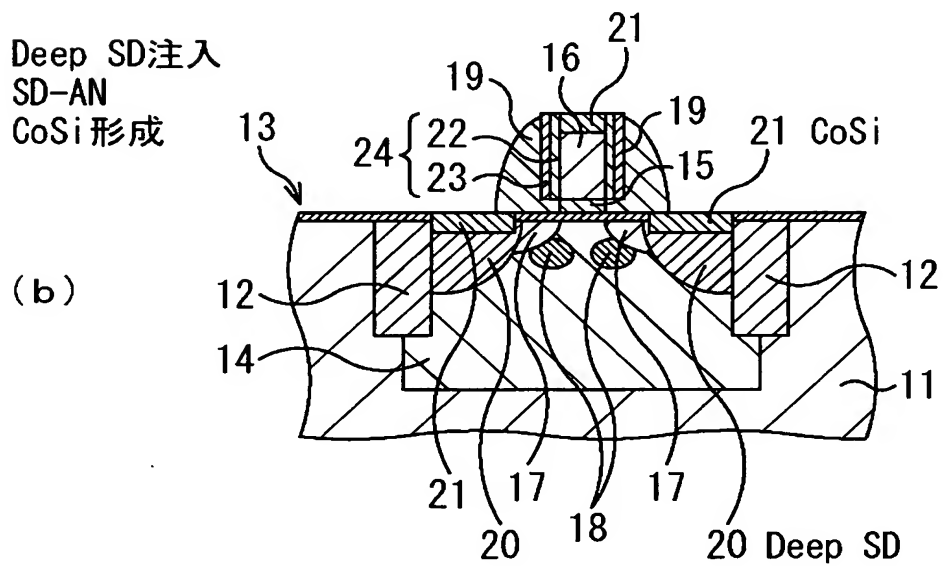
第2の実施形態

【図 10】

Side-Wall 形成

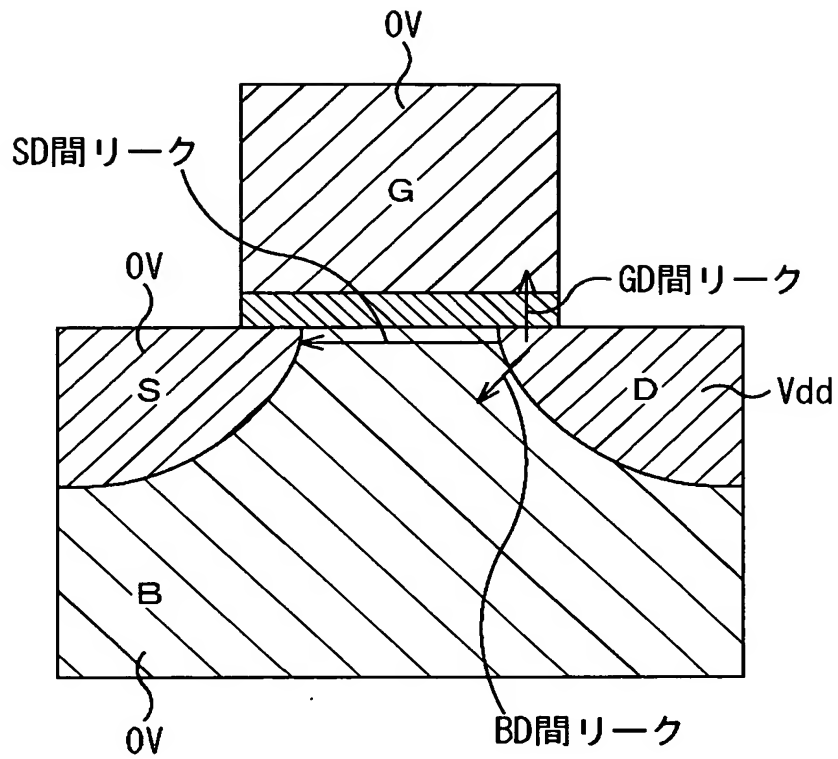


Deep SD注入
SD-AN
CoSi形成



第2の実施形態

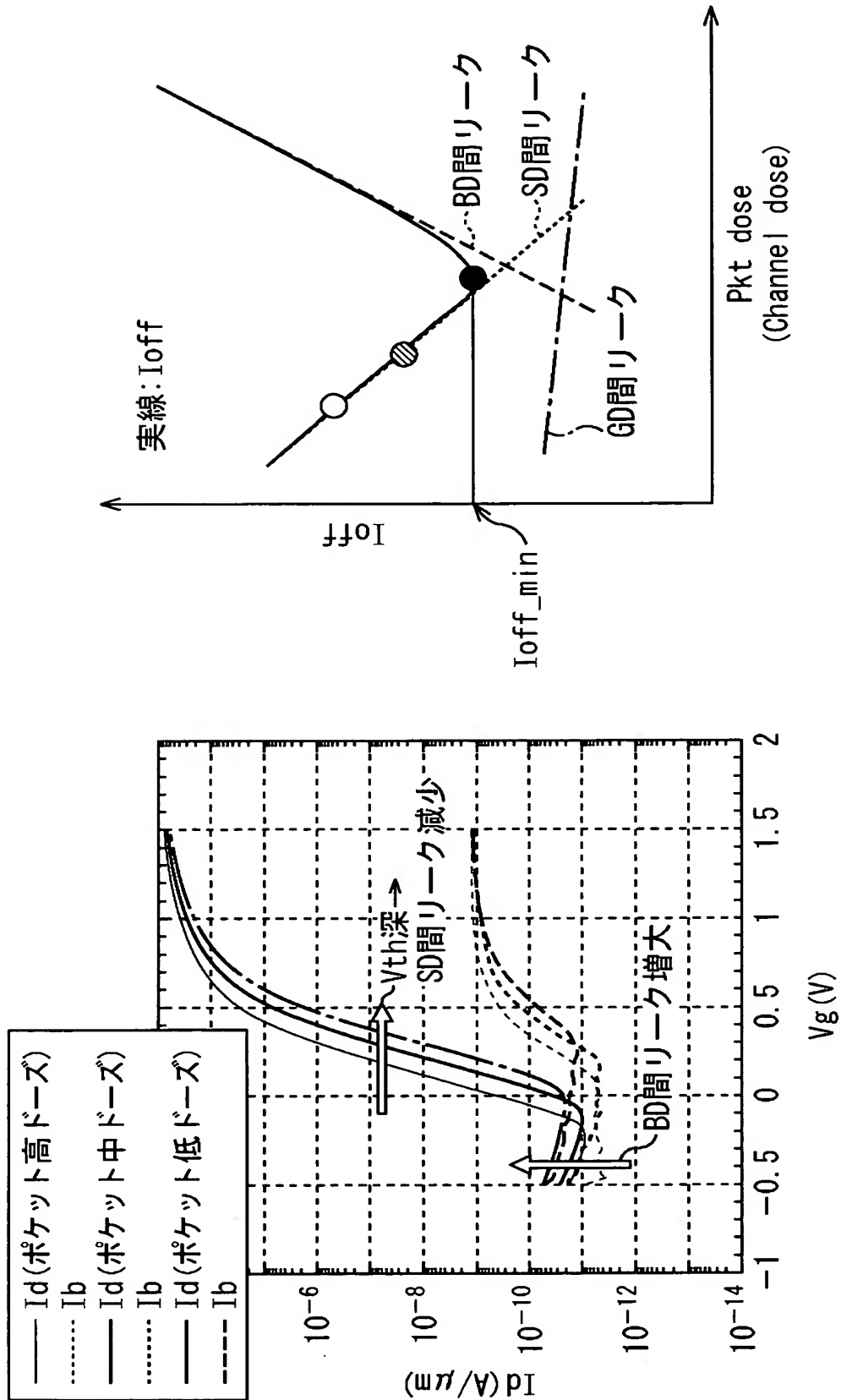
【図 11】



$$I_{off} = \text{GD間リーク} + \text{SD間リーク} + \text{BD間リーク}$$

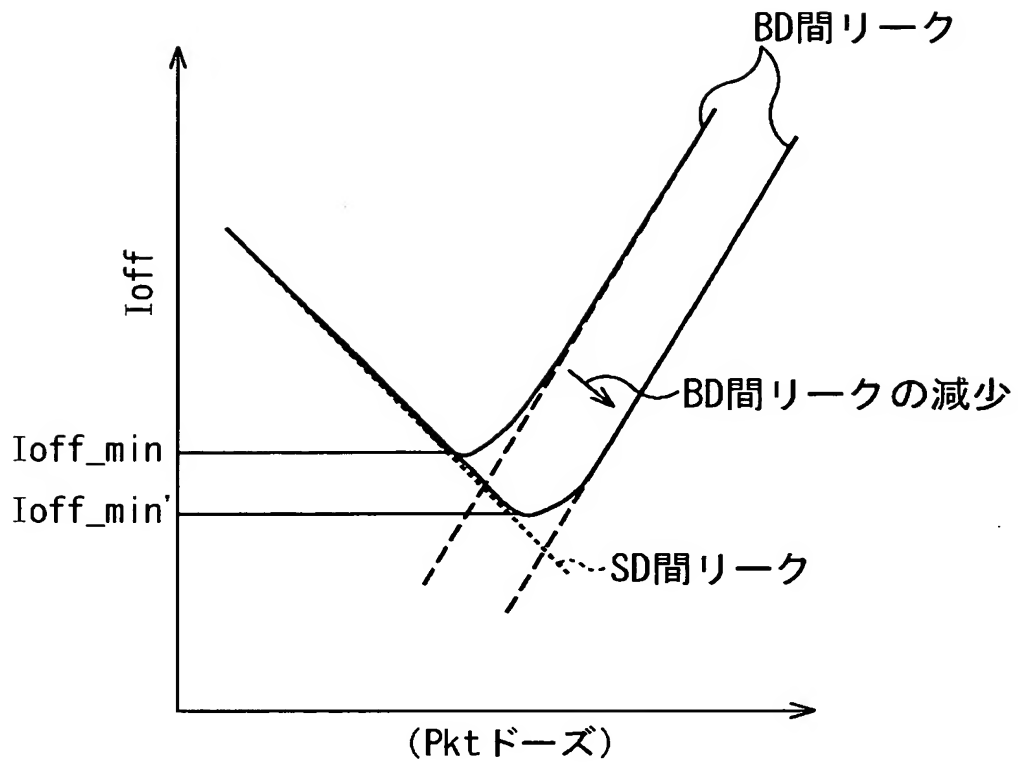
I_{off} の各電流成分

【図 12】



Pkt (Channel) Dose up による BD 閾りーク 増大

【図 13】



BD間リーク減少による I_{off} の低減

【書類名】 要約書

【要約】

【課題】 閾値電圧 (V_{th}) への影響を小さく抑えるもボディードレイン間リークを低減し、スタンバイ電力を低下させて信頼性の高い半導体装置を実現する。

【解決手段】 エクステンション領域を形成するに際して、不純物としてリン (P^+) よりも低拡散性の n 型不純物、ここでは砒素 (As^+) を用い、通常の高いドーズ量 (高濃度) で低い加速エネルギーによるイオン注入に加え、低いドーズ量で高い加速エネルギーによるイオン注入を行う。

【選択図】 図 1

特願 2 0 0 3 - 3 6 7 9 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社